

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-181707

(43)Date of publication of application : 30.06.2000

(51)Int.Cl.

G06F 9/38

(21)Application number : 10-358926

(71)Applicant : FUJITSU LTD

(22)Date of filing : 17.12.1998

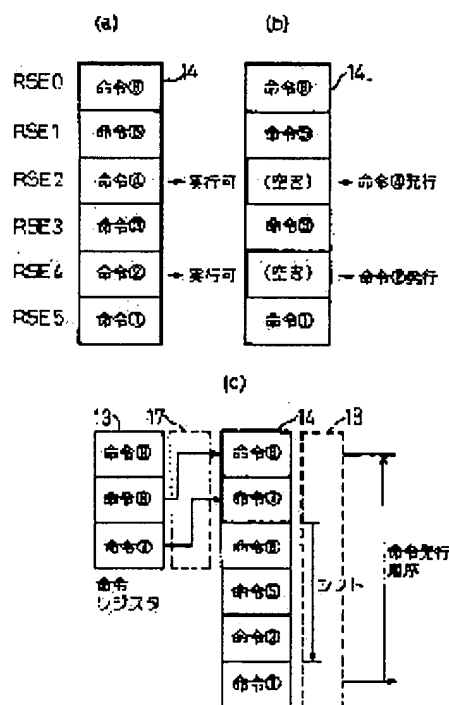
(72)Inventor : ASAKAWA GAKUO

(54) INSTRUCTION CONTROLLER AND ITS METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain the instruction controller which eliminates the need for hardware which performs a comparing process, etc., relating to an instruction sequence identifier by moving stored information among entries so that entries including unissued instructions constitute entries in continuous order and equalizing the quantity of the movement among the entries to up to the number of instructions which can be decoded at the same time.

SOLUTION: Instructions decoded newly by entries RSE 2 and RSE 4 which become free are shifted in order from the high-order side and stored. Consequently, instructions 1, 3, 5, and 6 are stored in entries RSE 5 to RSE 2 in the older order of instruction decoding. Further, a reservation station 14 when issuing instructions to an execution unit 15 only issues executable instructions in order from the low-order side of the RSE 5 to guarantee the instruction decoding order. Consequently, conventional logic circuits, in-chip wiring areas, etc., for making it possible to store all decoded instructions in the entries RSE 0 to RSE 5 are greatly reduced.



LEGAL STATUS

[Date of request for examination]

20.11.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2000-181707

(P2000-181707A)

(43) 公開日 平成12年6月30日(2000.6.30)

(51) Int.Cl.⁷

G 0 6 F 9/38

識別記号

3 1 0

3 7 0

F I

G 0 6 F 9/38

テマコード(参考)

3 1 0 F 5 B 0 1 3

3 7 0 X

審査請求 未請求 請求項の数7 OL (全10頁)

(21) 出願番号

特願平10-358926

(22) 出願日

平成10年12月17日(1998.12.17)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 浅川 岳夫

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100077517

弁理士 石田 敬 (外4名)

Fターム(参考) 5B013 AA13 AA20

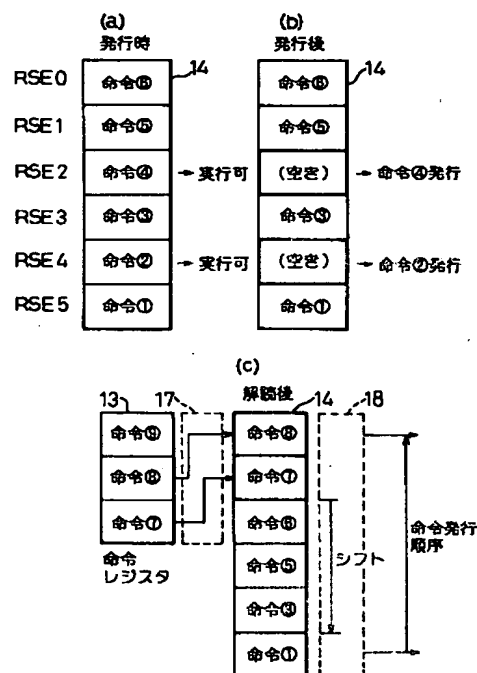
(54) 【発明の名称】 命令制御装置及びその方法

(57) 【要約】

【課題】 命令制御装置に関し、特に情報処理装置において命令処理を高速に実行するために順序を外れた命令実行を可能にする命令処理装置の物量を低減し高速動作が可能な回路構成を提供する。

【解決手段】 解読済みで実行ユニットに発行されていない複数個の命令を一時格納する手段を設けた情報処理装置の命令制御装置であって、前記格納手段は各エントリーの順序がその格納する命令の解読された順序を示すように構成され、エントリーから命令が発行されるそのエントリーが消去され、未発行命令を含むエントリーが連続した順序でエントリーを構成するようにエントリー間で格納情報が移動するとともに、そのエントリー間の移動量が最大で同時に解読される命令数に等しいことから成る。

図4 図3のリザベーションステーションの処理動作の一例



【特許請求の範囲】

【請求項 1】 解説済みで実行ユニットに発行されていない複数個の命令を一時格納する手段を設けた命令制御装置であって、前記格納手段は各エントリーの順序がその格納する命令の解説された順序を示すように構成され、エントリーから命令が発行されるそのエントリーが消去され、未発行命令を含むエントリーが連続した順序でエントリーを構成するようにエントリー間で格納情報が移動するとともに、そのエントリー間の移動量が最大で同時に解説される命令数に等しいことを特徴とする命令制御装置。

【請求項 2】 上記格納手段はソースオペランドが使用可能であることを示す情報を有し、さらに前記情報によりソースオペランドが使用可能なエントリーが複数存在する場合には、解説順序が古いエントリーから優先して実行ユニットに命令を発行する命令発行制御手段を有する請求項 1 記載の命令制御装置。

【請求項 3】 さらに、命令解説時には解説された命令の個数だけ加算され、かつエントリーから命令が実行ユニットに発行された場合はその発行命令数だけ減算されるように構成され、それによって前記命令格納手段中の未発行命令を有するエントリー数を示す指示手段を設け、前記指示手段の内容に従って命令解説数を決定する請求項 1 又は 2 記載の命令制御装置。

【請求項 4】 前記指示手段の内容と命令の解説位置とから各解説済命令を格納するエントリー番号を決定する請求項 3 記載の命令制御装置。

【請求項 5】 解説済みで実行ユニットに発行されていない複数個の命令を一時格納する手段を設けた情報処理装置の命令制御方法であって、前記格納手段のエントリーがオペランド使用可能であって且つ最も古い解説済命令を有するエントリーから順次命令を発行すること、より新しい解説済命令を格納する上位エントリーに空きエントリーが存在する場合には、各エントリーを順次下位に移動することで命令解説順序を保持しながら前記空きエントリーを解消すること、最上位から所定数のエントリーに空きがあり且つ命令レジスタに有効な命令が存在する場合には、前記命令レジスタからの解説済命令を前記所定数のエントリーに順次格納していくこと、を特徴とする命令制御方法。

【請求項 6】 さらに、前記解説済命令を所定数のエントリーに格納する際に、エントリーから命令が実行ユニットに発行された発行命令数を命令解説時に解説された命令の個数から減算した演算値に従って次の命令解説数を決定すること、を含む請求項 5 記載の命令制御方法。

【請求項 7】 さらに、前記演算値と命令の解説位置とから各解説済命令を格納するエントリー番号を決定することを含む請求項 6 記載の命令制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は命令制御装置及びその方法に関し、特に情報処理装置において命令処理を高速に実行するために順序を外れた命令実行を可能にする命令処理装置及びその方法に関するものである。

【0002】順序を外れた命令実行処理 (out-of-order) とは、プログラムにより指示された命令順序とは異なる順序で入力データがそろった実行可能な命令から随時実行していく処理をいう。なお、命令の実行自体は任意の順序であるが、その処理結果を保証すべくプログラムからアクセス可能な資源、すなわち記憶域やレジスタ内容等はプログラムの順序で更新参照されるように命令を実行する。

【0003】

【従来の技術】ところで、命令処理を高速に実行するため順序を外れた命令実行を可能とする情報処理装置では、命令の解説サイクルの後に一旦リザベーションステーションと呼ばれる解説済命令格納手段にその解説済命令が複数格納される。そして、それらの解説順序に関係なくソースオペランドが使用可能となった解説済命令が選ばれてリザベーションステーションから演算器に命令が発行される。

【0004】図 1 は、命令処理装置における命令処理構成の概要を示したものである。図 1 において、DRAM 等の大容量メモリからなる主記憶 11 に記憶されたプログラム命令は高速アクセス可能な命令キャッシュ 12 に転送される。命令レジスタ (IWR) 13 は命令キャッシュ 12 から 1 つ又は複数の命令を一時にフェッチし、その命令は制御ユニット 16 内の命令デコーダにより解説されて一旦リザベーションステーション 14 に格納される。

【0005】リザベーションステーション 14 は、各命令が使用するソースオペランド及びオペコードに対応した演算処理を実行する実行ユニット 15 が使用可能になった時点で、前記命令レジスタ 13 の命令解説順序に関係なく使用可能となった命令から次段の実行ユニット 15 に発行する。実行ユニット 15 は前記発行命令に基づきパイプラインを用いた高速演算処理を実行する。制御ユニット 16 は、前述した各機能ブロック 11～15 の動作を管理し制御する。

【0006】また、スーパースカラ方式のプロセッサでは整数演算処理や浮動小数点演算処理等の各処理機能毎にリザベーションステーション 14 及び実行ユニット 15 が設けられ、それらに対応する複数の命令が同時並列的に実行される。制御ユニット 16 では、図示しないプリデコード、命令フロー制御、レジスタリネーミング、及び分岐予測等の処理が行われ、それによって上記順序を外れた命令実行処理の高速実行を担保する。

【0007】図 2 は、従来のリザベーションステーションにおける処理動作の一例を示したものである。図 2 の

3

(a) の例では、命令レジスタ (IWR) 13からの解読済命令がリザーベーションステーション14の6つのエンタリーに格納されている。各解読済命令に付した番号 ~ は、番号 から番号 の順で各命令が解読されたことを示している。従って、命令 は最も古く解読された命令であり、そして命令 は最も新しく解読された命令である。

【0008】また、図2の(a)では解読済命令 ~ のうち命令 及び が他の命令に先んじて実行可能状態になった場合を示している。この場合、図2の(b)に示すように命令の解読順序 ~ に係わらず前記命令 及び が直ちに実行ユニット15に発行され、実行される。その結果、発行された命令 及び を格納するリザーベーションステーション14の各エンタリーは空きとなる(図に太線枠で示す)。

【0009】その後、図2の(c)に示すように前記空きエンタリーに命令レジスタ13から後続の新たな解読済命令 及び が格納される。なお、本例の命令レジスタ13は、命令キャッシュ12から同時に3個の命令をフェッチできる。制御ユニット16は、各解読済命令が使用するアクセス可能な資源(記憶域やレジスタ等)を管理しており、入力データがそろった実行可能な命令から上述した処理を開始させる。

【0010】

【発明が解決しようとする課題】このように、従来においては命令レジスタ13からの命令解読情報及び制御ユニット16による命令解読終了信号はリザーベーションステーション14内の全てのエンタリーに分配する必要があった。そのため、図2の(c)に点線枠17で示すそのための論理回路やチップ内配線域等の物量が増加するという問題があった。また、その結果動作遅延が増大し、その保証のためにより多くのサイクルタイムが必要となる等の問題点を有していた。

【0011】さらに、図2の(b)及び(c)に示したように、リザーベーションステーション14上では命令解読順序は保証されない。そのため、従来では命令解読順序を決定するのに、各エンタリーに命令順序識別子 (IID) を設け、この識別子をハードウェア比較器等を使って比較していた(図2の(c)の点線枠18)。その結果、ここでも物量やサイクルタイムの増加を招くという問題があった。

【0012】そこで本発明の目的は、上記種々の問題点に鑑み、命令レジスタからリザーベーションステーションへ解読済命令を発行する際に、前記解読済命令を格納するリザーベーションステーション内のエンタリーを限定し、それに要するハードウェア等の物量及びサイクルタイムを低減した命令制御装置及びその方法を提供することにある。

【0013】また、本発明の目的は、リザーベーションステーションから実行ユニットに発行したエンタリーの消

4

去、圧縮を行ってリザーベーションステーション内における命令解読順序を保持するように構成し、それによって命令順序識別子に関連する比較処理等を行うハードウェアを不要とした命令制御装置及びその方法を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明によれば、解読済みで実行ユニットに発行されていない複数の命令を一時格納する手段を設けた命令制御装置であって、前記格納手段は各エンタリーの順序がその格納する命令の解読された順序を示すように構成され、エンタリーから命令が発行されるそのエンタリーが消去され、未発行命令を含むエンタリーが連続した順序でエンタリーを構成するようにエンタリー間で格納情報が移動するとともに、そのエンタリー間の移動量が最大で同時に解読される命令数に等しい命令制御装置が提供される。

【0015】上記格納手段はソースオペランドが使用可能であることを示す情報を有し、さらに前記情報によりソースオペランドが使用可能なエンタリーが複数存在する場合には、解読順序が古いエンタリーから優先して実行ユニットに命令を発行する命令発行制御手段を有する。

【0016】さらに、命令解読時には解読された命令の個数だけ加算され、かつエンタリーから命令が実行ユニットに発行された場合はその発行命令数だけ減算されるように構成され、それによって前記命令格納手段中の未発行命令を有するエンタリー数を示す指示手段を設け、前記指示手段の内容に従って命令解読数を決定する。前記指示手段の内容と命令の解読位置とから各解読済命令を格納するエンタリー番号を決定する請求項3記載の命令制御装置。

【0017】また本発明によれば、解読済みで実行ユニットに発行されていない複数の命令を一時格納する手段を設けた情報処理装置の命令制御方法であって、前記格納手段のエンタリーがオペランド使用可能であって且つ最も古い解読済命令を有するエンタリーから順次命令を発行すること、より新しい解読済命令を格納する上位エンタリーに空きエンタリーが存在する場合には、各エンタリーを順次下位に移動することで命令解読順序を保持しながら前記空きエンタリーを解消すること、最上位から所定数のエンタリーに空きがあり且つ命令レジスタに有効な命令が存在する場合には、前記命令レジスタからの解読済命令を前記所定数のエンタリーに順次格納していくこと、から成る命令制御方法が提供される。

【0018】

【発明の実施の形態】図3は、本発明による命令制御装置の一構成例を示したものである。図3において、命令レジスタ (IWR) 13は、図1の命令キャッシュ12からフェッチした複数の命令をその命令順(命令解読順)に IWR 0、IWR 1 及び IWR 2 から成る各レジ

5

スタへ格納する。本例では一時に最大3命令が同時に解読できるよう構成されている。

【0019】解読制御回路21は、図1の例ではその機能の一部が制御ユニット16に含まれることになるが、ここでは解読制御回路21が本発明に特徴的な制御動作を実行するものであり、また先の図2の(c)と関連させる意味で、図2の(c)の回路17に含めて描いている。同様に、命令発行制御回路22も図2の(c)の回路18に含めて描いている。

【0020】前記解読制御回路21は、命令レジスタ13からの命令を受け取り、命令解読数を決定するとともに、どの命令をどのリザベーションステーション14のエントリーRSE0～RSE5に格納するかを決定する。また、解読制御回路21は前記命令発行制御回路18から実行ユニット15へ発行された命令発行数を受け取り、後述するその内部の未発行命令格納エントリー数カウンターを更新する。

【0021】リザベーションステーション14は、本例では6エントリーで構成されており、下に位置するエントリーほど命令解読順序が古いように構成されている(RSE5が最も古い)。命令発行制御回路22は、リザベーションステーション14の6エントリーの中から発行可能な命令を命令解読順に3つまで同時に実行ユニットに発行(EX1、EX2、EX3)するよう構成されている。また、前述したように同時命令発行数を解読制御回路21に通知する。

【0022】ここでは、本発明の実施例を詳細に説明する前に、その理解の容易のために図4及び図5を用いて本発明による命令制御装置の基本動作について説明しておく。図4は、本発明におけるリザベーションステーションの処理動作の一例を示したものである。図5は、本発明による命令制御装置の基本処理フロー例を示したものである。

【0023】図4の(a)では、命令レジスタ(IWR)13からの解読済命令がリザベーションステーション14の6つのエントリーに格納されている。命令は最も古く解読され、命令は最も新しく解読された命令である。解読済命令及びは他の命令に先んじて実行可能状態になり、図4の(b)に示すように命令の解読順序～に係わらず前記命令及びが直ちに実行ユニット15に発行され、実行される。ここまでは、図2の(a)及び(b)と同じである。

【0024】図4の(c)では、本発明に特徴的な動作が実行される。第1に図4の(b)で空きとなった2つのエントリーは削除・圧縮される。すなわち、空きとなったエントリーRSE2及びRSE4にはより新しく解読された命令が上位側から順次シフトされ格納される。その結果、本例の場合ではエントリーRSE5～RSE2に命令解読が古い順で命令、及びがそれぞれ格納される。

6

【0025】第2に、前記命令のシフト動作により新たに空きとなったエントリーRSE0及びRSE1に命令レジスタ13から後続の解読済命令及びが格納される。図4の(c)からも明らかなように、上記第1及び第2の動作を実行することで命令レジスタ13が解読済命令を格納するリザベーションステーション14のエントリー対象はRSE0～RSE2の3個のみで済むことになる。

【0026】さらに、リザベーションステーション14から実行ユニット15に命令を発行する際にもRSE5の側(下位側)から実行可能な命令を順次発行するだけで命令解読順序が保証されることになる。その結果、従来の解読済命令を全てのエントリーRSE0～RSE5に格納可能とするための論理回路やチップ内配線域等が大幅に低減され、またリザベーションステーション14内の命令解読順序を決定するための命令順序識別子及びハードウェア等が不要となる。

【0027】図5には、上述した本発明による命令制御装置の動作をフロー化して示している。ステップS10～S12では、リザベーションステーション14内の各エントリーRSE0～RSE5のうちオペランドが使用可能となり且つ命令解読順序の最も古いもの(下位側)から順次実行ユニット15へ命令が発行される。次に、ステップS13～S15で前記命令発行により空きとなったエントリーへ上位側からエントリーの移動(シフト動作)が行われ、空きエントリーが削除・圧縮される。

【0028】最後に、ステップS16及びS17で、RSE0～RSE2に空きのエントリーがあり且つ命令レジスタ13に有効な命令がある場合には、その解読済命令が古い順からRSE2～RSE0へ格納される。

【0029】図6は、図3の実施例で使用するリザベーションステーション14の構成例を示したものである。図6の(b)に示すように、リザベーションステーション14は、各エントリーに対応した有効性を示すVビット(V=1(塞)/0(空))、オペランド使用可能を示すRビット(R=1(実行可)/0(実行不可))、及び命令内容を示すOPCODE等を保持する。

【0030】また、図6の(a)に示すように本発明の構成によれば各エントリーは4入力の選択信号によって選択されたエントリーに対応データを格納可能である。ここで、IWR0～IWR2は命令レジスタから格納される命令の有効性情報であり、またRSE0～RSE5はリザベーションステーション14の各エントリーの有効性情報である。以下、これらの機能動作をも含めて図3の実施例について詳細に説明する。

【0031】図7は、図3の命令発行制御回路22の一構成例を示したものである。また、図8は、図7の論理テーブルを示したものである。図7及び8において、+READY信号は、図6のVビットとRビットの論理積で生成される信号であり、従ってV=1(塞)且つR=

1 (実行可) のとき発行可能となる (+READY 信号 = 1)。

【0032】また、+RSE5_EX1 はエントリー RSE5 が発行可能であって最も解読順序が古いことを示す信号 (EX1) であり、+RSE4_EX2 はエントリー RSE4 が発行可能で 2 番目に解読順序が古いことを示す信号 (EX2) である。その他信号も同様である。これまで説明してきたように、本発明によればリザベーションステーション 14 の各エントリー内の命令は常に古い方から解読順に従って並ぶことになる。

【0033】その結果、図 7 に示すように各エントリー毎の READY 信号の簡単な論理の組み合わせによって容易に命令発行優先順序が決定される。例えば、図 8 に点線枠で示す +RSE5_Ready (=1) 及び +RSE4_Ready (=1) の場合には、RSE5 が EX1 の信号であり、RSE4 は EX2 の信号となる。これにより、従来の命令順序識別子 (IID) やその比較器等は一切不要となる。なお、図 7 及び 8 では EX3 信号 (3 番目に解読順序が古いことを示す) については説明しなかったが、上記と同様に構成できることは明らかである。

【0034】図 9 は、図 3 の解読制御回路 21 の一構成例を示したものである。図 10 は、図 9 の動作の一例を示したものである。図 9 に示すように、解読制御回路 21 は、解読命令数を逐次加算し、それから発行命令数を減算する加減算器 31 と、その結果を保持するエントリー数カウンタ 32、そして前記エントリー数カウンタ 32 の内容をデコードした信号と命令レジスタ 13 からの各 IWR0~2 の有効性ビットとから解読命令数を生成し、前記解読命令数に基づいて命令レジスタ 13 からリザベーションステーション 14 へ与える解読済命令の格納先エントリー番号選択信号を生成するデコーダ 33 から成る。

【0035】図 10 には、前記解読命令数、発行命令数、及びエントリー数カウンタ値との関係を例示している。図 10 の (a) ~ (c) は、図 4 で示したものと同じである。図 10 の (d) の発行命令数は、リザベーションステーション 14 から実行ユニット 15 に発行された命令数を示しており、命令発行制御回路 22 から与えられる。また、図 10 の (e) の命令解読数は、上述したようにデコーダ 33 の出力として与えられ、命令レジスタ 13 の解読済命令数を示す。図 10 の (f) のエントリー数カウンタ値はリザベーションステーション 14 内で使用中 (解読済命令を格納している) エントリー数を示す。すなわち、エントリー数カウンタ値 = Σ (命令解読数 - 命令発行数) である。

【0036】図 11 は、デコーダ 33 における解読命令数生成回路の一例を示したものである。また、図 12 は、図 11 の論理テーブルを示している。図 11 及び 12 で +IWR0_REL 信号は命令レジスタ 13 の IW

R0 上の命令が解読終了したことを示す信号であり、その他も同様である。+IWR0_V 信号は IWR0 上に有効な信号が存在することを示す信号である。一方、-IWR0_V 信号は IWR0 が空であることを示している。

【0037】また、+RSE_LE_5 信号はエントリー数カウンタ値が「5」に等しいか又はそれ以下であることを示す信号である。図 12 に示すように、+RSE_LE_5 の場合には 1 個の解読命令が、また +RSE_LE_4 又は +RSE_LE_3 の場合には 2 又は 3 個の解読命令が生成される。

【0038】図 13 は、デコーダ 33 において前記解読命令数生成回路の次段に配置される解読済命令の格納先エントリー番号選択信号生成回路の一例を示したものである。また、図 14 は、図 13 の論理テーブルを示している。図 13 及び 14 で +RSE_EQ_4 信号はエントリー数カウンタ値が「4」に等しいことを示す信号である。また、IWR0_TO_RSE2 信号は、命令レジスタ 13 の IWR0 上の命令がリザベーションステーション 14 のエントリー RSE2 に格納されることを示す信号である。他も同様である。

【0039】図 14 に示すように、前述した図 11 の解読命令数生成回路で生成された +IWR0_REL 信号等に、さらにエントリー数カウンタ値のデコード信号及び IWR0 の有効性信号を用いて命令レジスタ 13 からの解読済命令を格納するリザベーションステーション 14 の 3 つのエントリー RSE0~RSE2 のいずれかが選択される。図 14 で点線枠で示した例は、IWR0~IWR2 の 3 個の解読済命令がリザベーションステーション 14 の各エントリー RSE2~RSE0 に同時に格納される場合を示している。

【0040】このように、本発明によれば最大で同時に解読可能な命令数から入力情報を選択することにより物量を最小限に抑えることができる。さらに解読終了信号の分配先を絞ることができサイクルタイムを抑えることができる。

【0041】図 15 は、リザベーションステーション 14 内の空きエントリーの選択回路の一例を示したものである。また、図 16 は、図 15 の論理テーブルを示している。図 15 及び 16 で +RSE2_TO_RSE5 は RSE3、4、5 が空いている時オンとなり、+RSE3_TO_RSE5 は RSE4、5 が空きである時オンとなり、+RSE4_TO_RSE5 は RSE5 が空きである時オンとなり、+RSE5_TO_RSE5 は RSE5 が有効であるときオンとなる。このように各入力選択信号はエントリーの有効性情報から容易に作成される。

【0042】また、SET_RSE5 信号はエントリー RES5 にデータを設定することを示す信号である。本実施例では同時に実行ユニット 15 に発行される命令数

10

20

30

40

50

は最大3個であって、それらはまた最大で同時に解読され得る命令数でもあることから、それらが連続したエンタリーにある場合を考慮して自エンタリーを含めて上位3エンタリーまでの空きを検出する。なお、各エンタリー間の命令シフト動作は一般的なレジスタ間のデータ転送処理でありここでは説明しない。

【0043】

【発明の効果】以上説明したように、本発明によれば最小の物量で高速なリザベーションステーションを構成することが可能となる。

【図面の簡単な説明】

【図1】命令処理装置における命令処理構成の概要を示した図である。

【図2】従来のリザベーションステーションにおける処理動作の一例を示した図である。

【図3】本発明による命令制御装置の一構成例を示した図である。

【図4】本発明におけるリザベーションステーションの処理動作の一例を示した図である。

【図5】本発明による命令制御装置の基本処理フロー例を示した図である。

【図6】図3のリザベーションステーションの一構成例を示した図である。

【図7】図3の命令発行制御回路の一構成例を示した図である。

【図8】図7の論理テーブルを示した図である。

【図9】図3の解読制御回路の一構成例を示した図である。

【図10】図9の動作の一例を示した図である。

【図11】解読命令数生成回路の一例を示した図である。

【図12】図11の論理テーブルを示した図である。

10 【図13】解読済命令の格納先エンタリー番号選択信号生成回路の一例を示した図である。

【図14】図13の論理テーブルを示した図である。

【図15】選択回路の一例を示した図である。

【図16】図15の論理テーブルを示した図である。

【符号の説明】

13…命令レジスタ

14…リザベーションステーション

21…解読制御回路

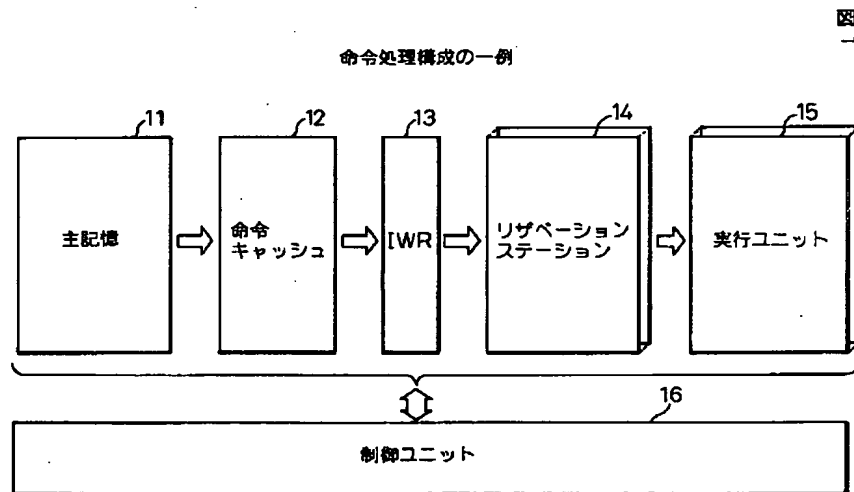
22…命令発行制御回路

31…加減算器

32…エンタリー数カウンタ

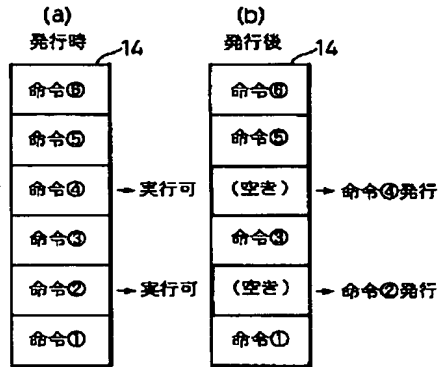
33…デコーダ

【図1】



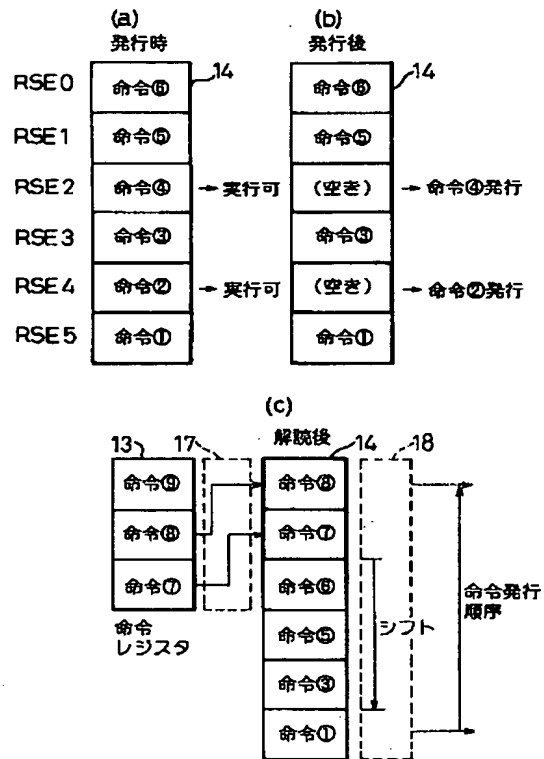
【図 2】

図 2 従来のリザーベーションステーションの動作の一例



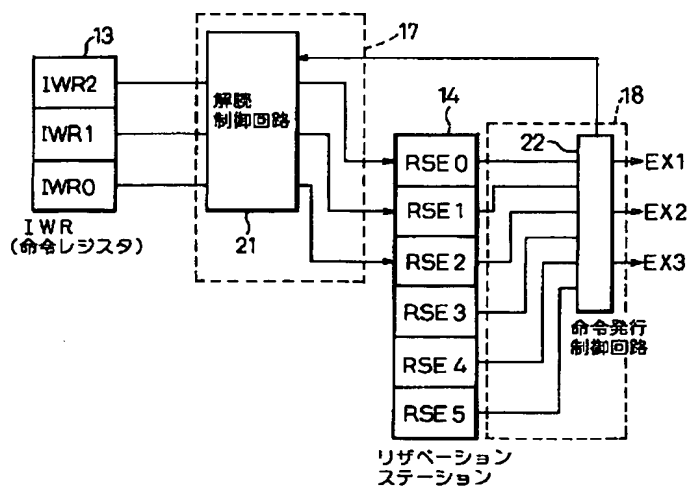
【図 4】

図 4 図 3 のリザーベーションステーションの処理動作の一例



【図 3】

本発明による命令制御装置の一構成例



【図 8】

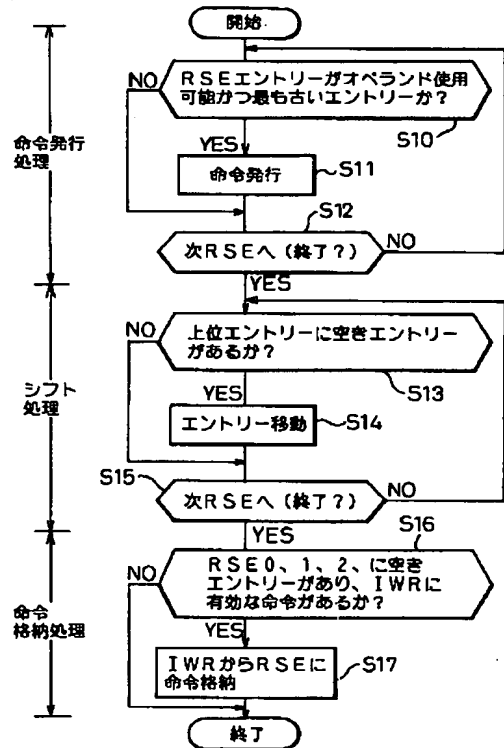
図 8

図 7 の論理テーブル

RSE3-R.	RSE4-R.	RSE5-R.	EX1	EX2
—	—	1	RSE5	—
—	1	0	RSE4	—
1	0	0	RSE3	—
—	1	1	RSE5	RSE4
1	1	0	RSE4	RSE3
1	0	1	RSE5	RSE3

【図 5】

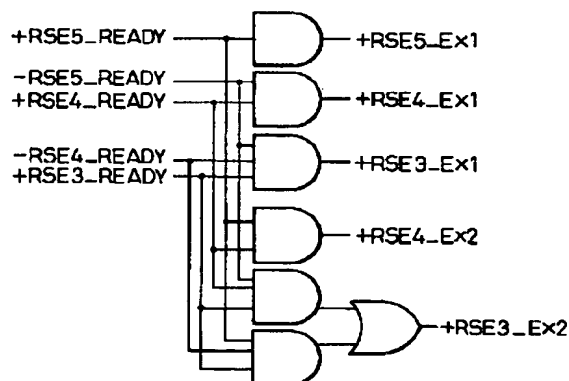
図 5 本発明による命令制御装置の基本処理フロー例



【図 7】

図 7

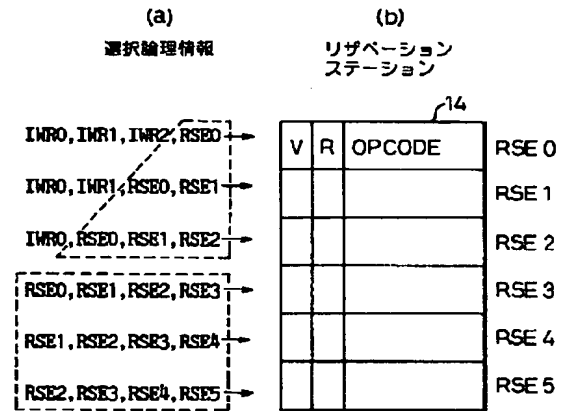
図 3 の命令発行制御回路の一例



【図 6】

図 6

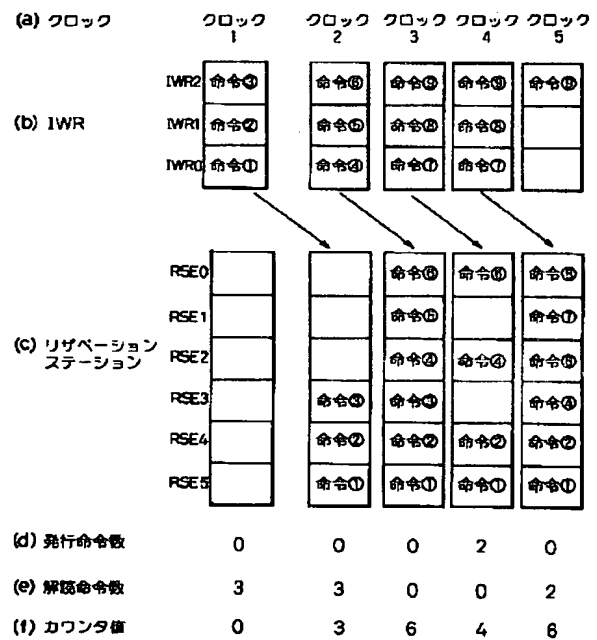
図 3 のリザベーションステーションの実施例



【図 10】

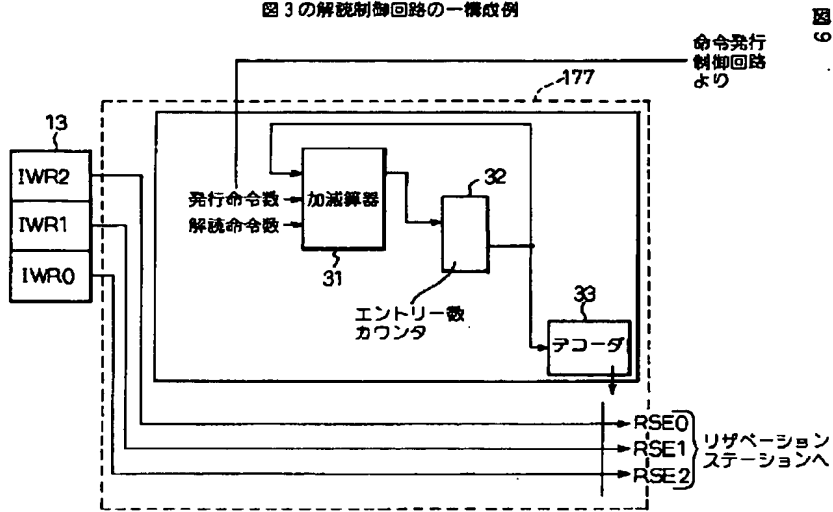
図 10

図 8 の動作の一例



【図9】

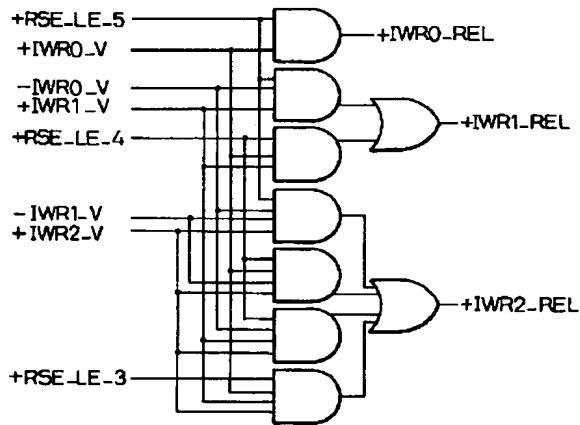
図3の脱読制御回路の一構成例



【図11】

図11

脱読命令数生成回路の一例



【図16】

図16

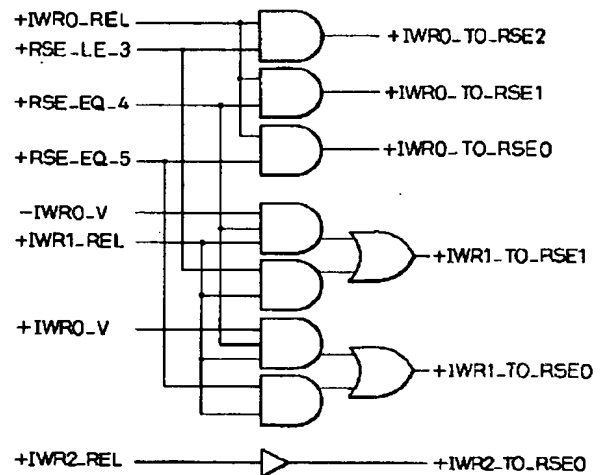
図15の論理テーブル

RSE0	RSE1	RSE2	RSE3	RSE4	RSE5	SET
—	—	1	0	0	0	RSE5
—	—	—	1	0	0	
—	—	—	—	1	0	
—	—	—	—	—	1	

【図13】

図13

脱読命令の格納先エントリー番号選択信号生成回路の一例



【図 12】

図11の論理テーブル

IWR0-V	IWR1-V	IWR2-V	RSE-LB	IWR0-REL	IWR1-REL	IWR2-REL
1	—	—	5	1	0	0
0	1	—	5	0	1	0
0	0	1	5	0	0	1
1	1	—	4	1	1	0
1	0	1	4	1	0	1
0	1	1	4	0	1	1
1	1	1	3	1	1	1

【図 14】

図13の論理テーブル

IWR0-REL	IWR1-REL	IWR2-REL	IWR0-V	RSE-EQ/LE	RSE0	RSE1	RSE2
1	—	—	—	5	1	—	—
1	—	—	—	4	—	1	—
1	—	—	—	3	—	—	[1]
—	1	—	0	4	—	1	—
—	1	—	—	3	—	[1]	—
—	1	—	—	5	1	—	—
—	1	—	1	4	1	—	—
—	—	1	—	—	[1]	—	—

【図 15】

図12 図15

選択回路の一例

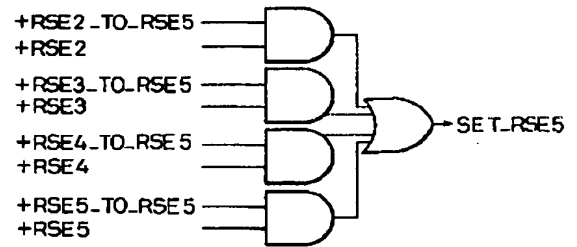


図14